

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202693

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H03M 1/10

H03M 1/06

(21)Application number : 06-296698

(71)Applicant : NOKIA MOBILE PHONES LTD

(22)Date of filing : 30.11.1994

(72)Inventor : MIKKOLA PEKKA

LINTINEN MARKKU

RANTA JUKKA

(30)Priority

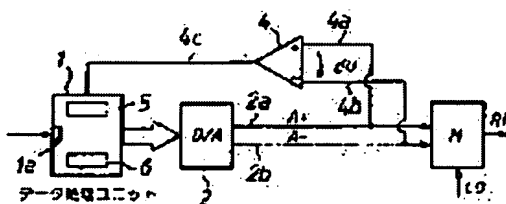
Priority number : 93 935346 Priority date : 30.11.1993 Priority country : FI

(54) METHOD AND DEVICE FOR COMPENSATING FOR SIGNAL OFFSET IN ELECTRONIC DEVICE

(57)Abstract:

PURPOSE: To economically compensate DC offset voltage in a D/A converter considering also changes due to temperature changes or the like.

CONSTITUTION: An error correcting register 5 is used, whose value is changed based on DC offset, and the changed value is added to each signal simple to be converted to execute DC offset compensation. The value of the register 5 is changed during the period of a testing mode. A control value previously set the zero volt output of an ideal D/A converter is applied to the D/A converter 2, the voltage values of respective outputs of differential output pair 2a, 2b provided in relation to the converter 2 are compared, and the polarity of the voltage difference dU and the polarity, i.e., sign, of the relative DC offset are verified. Consequently a value in the register 5 is increased or reduced by one from a initially set value, which is preferably zero based on the polarity of the voltage difference dU.



LEGAL STATUS

[Date of request for examination] 20.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平7-202693

(43) 公開日—平成7年(1995)8月4日

(51) Int. Cl. H03M 1/10 1/06 特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

特開平6-28698

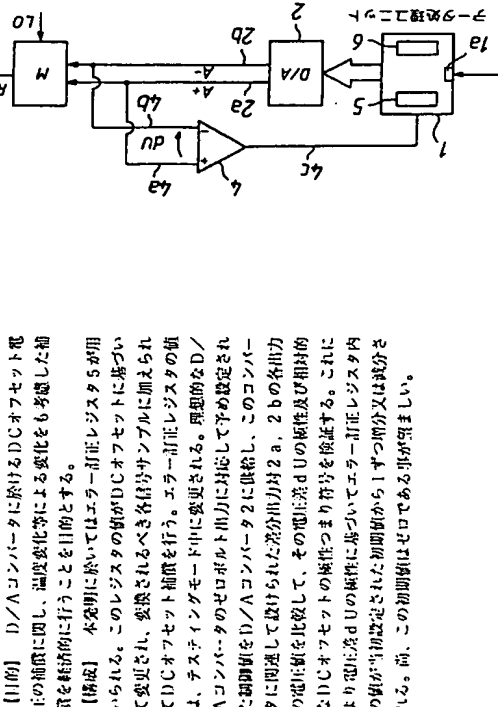
特開平6-28698

特開平6-28698

特開平6-28698

(54) 【発明の名称】 電子装置における信号オフセットを補償するための方法、及びそのための装置

(57) 【要約】



【特許請求の範囲】

【請求項1】 電子装置 (2; 8) に於ける信号のオフセットに対して補償を行う方法であって、所定の信号を前記電子装置 (2; 8) に入力する段階と、

それぞれ前記所定の信号に対応して、前記電子装置 (2; 8) からの理想的な出力と実際の出力との差分を示すエラー信号を算出する段階と、

前記エラー信号に応じて、記憶手段 (5; 12, 13) 内に格納された補償値を変更する段階と、

前記値を前記電子装置 (2; 8) に対する次の信号入力に加算する段階と、

を有するオフセット補償方法。

【請求項2】 前記差分が最小値を通過するまで前記所定の信号を次の信号としながら前記各段階を繰り返す段階を更に有する請求項1に記載の方法。

【請求項3】 前記電子装置 (2; 8) がD/Aコンバータである請求項1に記載の方法。

【請求項4】 前記エラー信号が前記差分の極性を表示している請求項1乃至3のいずれか1項に記載の方法。

【請求項5】 前記電子装置 (2; 8) が差分の対出力ポートを有しており、前記記憶手段が差分信号である請求項1乃至4のいずれか1項に記載の方法。

【請求項6】 前記所定の信号が理想的に大ききゼロである請求項1乃至5のいずれか1項に記載の方法。

【請求項7】 前記エラー信号が、前記差分信号のそれの信号間でその差を示すものである請求項5に記載の方法。

【請求項8】 前記記憶手段 (5; 12, 13) に格納された値は、前記極性がマイナスイナスである場合には増分され、前記極性がプラスである場合には減分される請求項4乃至7のいずれか1項に記載の方法。

【請求項9】 前記差分の最小値の通過が前記差分の極性的変化によって示される請求項2に記載の方法。

【請求項10】 前記記憶手段が、前記電子装置が動作していない期間中に行われる請求項1乃至9のいずれか1項に記載の方法。

【請求項11】 電子装置 (2; 8) に於ける信号のオフセットに対して補償を行うためのオフセット補償装置であって、

前記電子装置 (2; 8) に所定の信号を入力する為の入力手段 (1; 7) と、

所定の信号を前記電子装置 (2; 8) に入力する為の入力手段 (1; 7) と、

それぞれ前記所定の信号に対応して前記電子装置 (2; 8) からの理想的な出力と実際の出力との差分を示すエラー信号を算出する段階手段 (4; 10, 11) と、

前記算出したエラー信号に基づいて、記憶手段 (5; 12, 13) 内に格納された補償値を変更する為の記憶手段と、

前記値を前記電子装置 (2; 8) に対する次の信号入力に加算する為の加算手段と、

を具備するオフセット補償装置。

【請求項12】 前記電子装置 (2; 8) がD/Aコンバータである請求項11に記載の装置。

【請求項13】 前記出力手段 (4; 10, 11) が前記差分の極性を検出するように適合されている請求項1又は12に記載の装置。

【請求項14】 前記電子装置 (2; 8) が、差分信号として実際の信号を出力する差分信号ポートを備えており、前記差分信号 (1; 7) が、理想的に大ききゼロの所定信号を前記電子装置 (2; 8) に入力するように適合されている請求項1乃至14のいずれか1項に記載の装置。

【請求項15】 前記出力手段が、前記差分信号のそれの信号間でその差を示すように適合されている請求項14に記載の装置。

【請求項16】 前記出力手段が、前記差分信号のそれの信号間でその差を示すように適合されている請求項14に記載の装置。

【請求項17】 前記記憶手段 (5; 12, 13) 内に格納された値が、前記極性がマイナスイナスである場合には増分され、前記極性がプラスである場合には減分される請求項13乃至16のいずれか1項に記載の装置。

【請求項18】 前記差分が前記最小値を通過する状態が、前記差分の極性的変化によって示される請求項13に記載の装置。

【請求項19】 前記入力手段 (1; 7) は、前記電子装置 (2; 8) が動作していないときに所定の信号を前記電子装置に入力する請求項1乃至18のいずれか1項に記載の装置。

【請求項20】 前記記憶手段 (5; 12, 13) に格納される値が更新されるとき、フリータイムスロット又は前記電子装置 (2; 8) の非動作を待機する為の装置 (15) を更に具備する請求項19に記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、D/AコンバータのD/Aコンバータの補償を行う為の方法及び装置に関する。特に、デジタル無線電話のD/AコンバータのD/Aコンバータの補償を行う為の方法及び装置に関する。

【0002】

【従来の技術】 デジタル無線電話においては、送信されるべき信号の補償がデジタル部分で行われ、その後、変調されたデジタル信号がD/Aコンバータによってアナログ信号に変換される。アナログ信号は、無線電話の無線周波数域に結合されて無線信号として発信される。このD/Aコンバータについては次のような問題がある。即ち、出力に低レベルのゆくりと変化するD/Aコンバータが生じることであり、通常、これは回線部品の特性が理想通りに得られない為であって、変換され

るべきデジタル信号には関係ない。D/Aコンバータは、移動電話の発信信号における搬送波の周波数という好ましくない結果を生じ、これが信号の送信を妨害することによってD/AコンバータのD/Cオフセットを補償することが望ましい。

[0003] D/AコンバータのD/Cオフセットを補償するための告知の方法においては、D/Aコンバータに関連してエラー訂正レジスタが用いられ、このレジスタの内容の値が調整されたD/Cオフセットに応じて変化され、この変化された値が変換されるべき各信号に加えられる。D/AコンバータのD/Cオフセットの大きさと同じ大きさをもつ、かつ動作がこれと反対の値をエラー訂正レジスタのみの値として得ることによってD/Cオフセットに対して補償を行うことが出来る。

[0004]

[発明が解決しようとする課題] 上記述べたようなD/Cオフセットの補償方法は、温度変化に起因するD/Cオフセットの変化を考慮に入れていないという点で問題があり、この温度変化による変動は予想する事が不可能であり、また定期的に生じるものでもなく、さらにD/Aコンバータのユニット毎にそれぞれバラツキがある。各D/Aコンバータの要求の温度変動をいちいち計算してこの計算値をD/Aコンバータ毎にメモリに記憶することと、これは経済的な見地からは良い方法とは言えない。温度変化によるD/Cオフセットの変化を考慮したD/Cオフセットの補償は何か別の経済的な方法で行う必要がある。

[0005]

[課題を解決するための手段] 本発明の第1の形態によれば、電子装置(2:8)に於ける信号のオフセットに対して補償を行う方法において、所定の信号を電子装置(2:8)に人力する段階と、それぞれ上記所定信号に対応して、上記電子装置(2:8)からの理想的な出力と実際の出力との差分を示すエラー信号を導き出す段階と、このエラー信号に応じて、記憶手段(5:12、13)に格納された補償値を変更する段階と、その値を上記電子装置(2:8)に対する次の信号人力に加算する段階とを備えた方法が提供される。また、本発明の第2の形態によれば、電子装置(2:8)に於ける信号のオフセットに対して補償を行うための装置において、上記電子装置(2:8)に所定の信号を人力する為の人力手段(1:7)と、それぞれこの所定信号に対応して、上記電子装置(2:8)からの理想的な出力と実際の出力との差分を示すエラー信号を導き出す検出手段(4:10、11)と、このエラー信号に応じて記憶手段(5:12、13)に記憶された補償値を変更する変更手段と、その値を上記電子装置(2:8)に対する次の信号人力に加算する為の加算手段とを具備する装置が提供される。

[0006]

[作用] 本発明に係る上記形態によれば、複雑なバックアップテーブルを用いる必要なく、オフセットの変化に関わり無くオフセットの補償が行えるという利点が得られる。本発明は、本発明の装置を搭載した装置設備の作動中に補償の値を更新する事を可能にし、更に、熱ドリフト又はその他の電子装置の好ましくない変動をも考慮に入れた補正が行われる。

[0007] 好ましい実施形態においては、上記差分が最小値を通過するまでこの方法が繰り返して実行される。これにより本発明を利用する装置の、例えば検出回路中における補正値の初期化を行う事が出来るという利点が得られる。

[0008] また、本発明の方法及び装置においては、その装置が通常の目的で使用されていないときには、上記所定信号が人力されるように構成されることが望ましい。これは、補正値の更新又は変更が、係る電子装置の通常動作を妨げる事無く行い得るようになるためである。

[0009]

[実施例] 以下、本発明を添付図面に示す実施例を基に詳細に説明するが、以下の説明は本発明の範囲をこの実施例にのみ限定する趣旨ではない。

[0010] 図1に示す回路構成は、処理ユニット1と、D/Aコンバータ2と、R/F変調器3と、比較器4とを有する。処理ユニット1は、マイクプロセッサを基にした回路要素であって、これはエラー訂正レジスタ5とテストタイミングユニット6とを有するの好ましい。エラー訂正レジスタ5は、場合によってはD/Aコンバータに関連づけて処理ユニット1の外周に設置されても良い。処理ユニット1とD/Aコンバータ2とはデータバス1bを介して相互に接続される。D/Aコンバータ2はマイクプロセッサ回路の周辺装置であり、通常、これはそれぞれ異なる目的の複数のレジスタを有して構成される。D/Aコンバータ2は、少なくとも一対の出力2a、2bを有しており、これらの出力からの信号A₊、A₋は大きさが互いに同じであるが極性が反対である。比較器4は入力端子4a、4bを持つており、これらはD/Aコンバータ2の出力2a、2bにそれぞれ接続されている。比較器4の出力4cは、処理ユニット1に接続されている。D/Aコンバータ2の出力2a、2bはR/F変調器3にも接続されて、テストタイミングユニット6は、処理ユニット1と関連づけてプログラム可能なように構成されるの好ましい。

[0011] 図1に示す回路構成において、例えば8ビットワードのシリアル信号であるデジタル信号が、入力1aから処理ユニット1に入力される。処理ユニット1において1個又はそれ以上の数の変調信号が、適用される変調方法に応じて得られ、これらの変調信号がデータバス1bを結出してパラレルにD/Aコンバータ2に入

力される。D/Aコンバータ2の差動出力2a、2bから得られるアナログ信号A₊、A₋はR/F変調器3に入力される。上記アナログ信号A₊、A₋とローカル発振器信号とがR/F変調器3の中で組み合わされて高周波信号が形成され、これが無線経路に送り出される。

[0012] D/AコンバータのD/Cオフセットを補償するための本発明の装置は、D/Aコンバータ2の差動出力2a、2bと、比較器4と、処理ユニット1と、エラー訂正レジスタ5と、テストタイミングユニット6とを含む。D/Cオフセットのチェック及び補償は、処理ユニット1及びD/Aコンバータ2から無線経路に送られるべき信号が存在しない時にいつでも行われる。このフェーズを以下テストタイミングモードと呼ぶ。

[0013] 図1に示す本発明の装置を用いたD/Cオフセットの補償は、以下のように行われる。エラー訂正レジスタ5は適当な初期値を有している。この初期値はゼロであるの好ましい。次いで変調器がオンされる。このオンによってテストタイミングモードが選択なくスタートし、理想的なD/Aコンバータの出力からのゼロボルトに対応する制御値が、処理ユニット1のテストタイミングユニット6からデータバス1bを結出してD/Aコンバータ2に人力される。この場合、もしD/Cオフセットが生じていなければ、D/Aコンバータ2によって行われたD/A変換の後、各差動出力2a、2bはゼロボルトの電圧にある。

[0014] 差動出力2a、2bは、お互いから独立したもので、仮にD/Cオフセットがあればそれは差動出力2a、2bのそれぞれの電圧変化として現れる。もしも出力2aにおける信号A₊の値U_{A+}が+0mVであり、一方、出力2bに現れる信号A₋の値U_{A-}が+10mVであると仮定すると、比較器の出力4a、4bの間には差電圧dU = (U_{A+}) - (U_{A-}) = -10mVが印加される。D/Aコンバータ2の出力2a、2bの差電圧dUの極性、即ち差電圧がプラスであるかマイナスであるかは比較器4によって決定される。この例においては、比較器4によって行われた比較の結果、端子4a、4bに現れる差電圧がマイナス、即ちdU = -10mVである場合には比較器4の出力4cにプラスの信号が得られる。即ち、出力が一定のプラスの電圧まで高められる。処理ユニット1は比較器4の出力4cの状態を検査し、もしこれが低い時には、エラー訂正レジスタ5の内容から1を減分して内容を変更し、それによりこの例においてはエラー訂正レジスタ5の値が-1となる。

[0015] テストタイミングフェーズに関連して更新されたエラー訂正レジスタ5の値がテストタイミングユニット6の制御値に加えられ、その結果がD/Aコンバータ2に入力され、テストタイミングフェーズが再び開始される。D/Aコンバータ2の差動出力2a、2bの出力電圧の差dUの極性、即ち、差電圧がプラスであるかマイナス

であるかが再び比較器4によってチェックされ、信号A₊、A₋のオフセット電圧dUが依然としてマイナスである場合には、比較器4の出力4cの状態がプラスの一定電圧値に保持される。処理ユニット1によって比較器4の出力4cの状態がチェックされ、もしこの状態が低い状態であれば、エラー訂正レジスタ5の内容の値がレジスタ5の値がこの例においては-2となる。

[0016] 上述のテストタイミングフェーズは、テストタイミングモードにおいて、D/Aコンバータ2の出力2a、2bの出力電圧の差dUが以前のテストタイミングフェーズで得られたものから変化するまで繰り返される。従ってここに記載される例においては、信号A₊、A₋のオフセット電圧dUの符号がマイナスからプラスに変わり、それにより比較器4の出力4cの状態もプラスの一定電圧からマイナスの一定電圧へ変化する。即ち、出力が低くされる。比較器4の出力4cの状態の変化は、処理ユニット1によってチェックされ、従って差電圧dU及びD/Cオフセットが、エラー訂正レジスタ5の値の補償とがわかる。これによりテストタイミングモードが終了する。D/Cオフセットの補償の初期化が効率よく行われ、変調器が通常の動作を行い得る状態となる。

[0017] 上記テストタイミングモードを組み込んだ装置又は装置がオンされると共に、このテストタイミングモードが上述のような態様で開始されるようにするのが望ましい。また、テストタイミングモードを通常の動作期間の間の期間、例えば送信の信号の発信直前と次の受信直前との間において、繰り返して行うようにするのが望ましい。テストタイミングモード及びD/Cオフセットの補償は、上記した様な変調器のオンに引き続いて行われる第1のテストタイミングフェーズと対応する単一のテストタイミングフェーズとして実施される。即ち、理想的なD/Aコンバータのゼロ電圧に対応する制御電圧がD/Aコンバータ2に人力される。D/Aコンバータ2の出力2a、2bの間

の差電圧dUの極性が、比較器4によって検定される。もし、差電圧がプラスであれば、比較器4の出力4cが低くされ(又は、低いままとされ)、エラー訂正レジスタ5の内容が1だけ増加され、一方反対に差電圧がマイナスであれば、比較器4の出力4cが上昇され(又は、高いままとされ)、エラー訂正レジスタ5の値が1が強く引かれる。比較器4の出力4cの電圧状態が高から低へ、あるいはその反対に変化されなかつたとしても、テストタイミングモードは終了し、補償動作は継続して行われる。このテストタイミングモードは適当な規則的な時間間隔を繰り返して繰り返される。この間隔は、例えば1秒とか1分とかであり、用途その他の条件によって決められる。

[0018] D/Cオフセットの変化の割合は、テストタイミングモードの繰り返り周期及びエラー訂正レジスタ5

の更新の問題に比べても十分に低い。従ってテストイン
グフェーズこれよりも短い期間で行ってやる必要はな
い。

【0019】図2は、移動電圧用GMSK変調器を示す。この変調器は、変調ユニットとして機能する信号プロセッサ7と、D/Aコンバータ8と、1/Q周波数変調器9とを有しており、これらは設置された順序で処理される。時々分福フレームにパックされた音源データのようなビットストリームが、入力コネクタ7aを介して信号プロセッサ7に供給される。信号プロセッサ7は、これに供給されたデータから、1及びQプラランチのための変調信号を生成する。これらの変調信号は、データ7bを輸出してパラレルにD/Aコンバータ8へ送られる。D/Aコンバータ8は、2対の差出力8a、8b及び8c、8dを有している。第1の対8a、8bからはQプラランチの第1のアナログ差出力信号対Q1、Q2が得られ、第2の対8c、8dからは1プラランチの第2のアナログ差出力信号対I1、I2が得られる。

【0020】これらの出力信号Q+、Q-、1+及び1-は、1/N周波数分割器9に供給され、そこにこれらの信号は、ローパスフィルタを用いて高周波信号に変換され、その後、カラムミックスされて高い周波数となり、適当な無線信号（図示せず）を形成してこれが無線経路に送られる。データユニット11は、信号プロセッサ7内、又はこれと関連してプログラム可能なユニットとして形成される。信号プロセッサ7は比較器10、11の出力10c、11cをチェックすると共にエラー・訂正レジスタ12、13の更新を行う機能を持つ。

【0021】Ｄ／Ａコンバータ８の出力８ａ、８ｂ及び８ｃ、８ｄにおいては、既に述べたように、主に温度変化に起因する地圧ドリフトによってＤ／Ｃオフセットが発生する。従って、Ｄ／ＡコンバータのＤ／Ｃオフセットを補正する。更に、Ｄ／Ａコンバータの８ａ、８ｂ及び８ｃ、８ｄ、並びにこれに関連して受け取られた２つの比較器１０、１１を有しておき、これらの比較器の入力１０ａ、１０ｂ及び１１ａ、１１ｂが出力８ａ、８ｂ及び８ｃ、８ｄにそれぞれ接続されている。装置はさらに信号プロセッサ７を含んでおり、これに比較器１０及び１１のそれぞれの出力１０ｃ及び１１ｃが接続されており、さらに、二つのエラー修正レジスタ１２、１３とテストینگユニット１４とを含んでいる。エラー修正レジスタ１２、１３及びテストینگユニット１４は処理ユニット１に関連づけられていることが望ましい。

【0022】D/Aコンバータ8において発生する可能性のあるD/Cオフセットは、次のような誤差で補正される。D/Aコンバータ8のD/Cオフセットは、このコンバータが移動電話によって送信される時分割バーストを

要調するために用いられていないときに制御される。即ち、テストタイミングモードにおいては、理想的なD/Aコンバータのゼロ出力に対処するデジタル制御回路が、パラタにテストタイミングユニット14からD/Aコンバータ8の出力に供給される。この場合、D/Aコンバータ8の出力は8 a、8 b及び8 c、8 dにおいてゼロポルト特性になるはずである。即ち、全ての出力の電位がゼロとなるはずである。D/Aコンバータ8の第1位がゼロとなるはずである。D/Aコンバータ8の第1位の出力は8 a、8 bの出力の電位値UQ + UQ'とD/Aコンバータ8の第2位の出力は8 c、8 dの出力の電位値UI + UI'、UI'が第2の比較器11によって比較される。

【0023】D/Aコンバータ8の出力が8、8及び/もしくは8、8dに於ける出力の電圧 $U_{11} = (U_1 + U_2) - (U_3 - U_4)$ 及び/もしくは $U_2 = (U_1 + U_2) - (U_1 - U_2)$ がプラスである、比較器10及び/もしくは11に於ける出力10c及び/もしくは11cが低くされる。即ち、この出力がマイナスの、一定の電圧値とされ、これがデジタル信号プロセッサ7によって検出され、エラー訂正レジスタ7d及び/もしくは13の内容の値がそれに応じて7d及び/もしくは13

【0024】D/Aコンバータ8の出力が8 a、8 b及びもしくは8 c、8 dに於ける出力の電圧差 ΔU_1 及びもしくは ΔU_2 がマイナスイタである、比較器10及びもしくは11に於ける出力10 a及びもしくは11 cが高とされる。即ち、この出力がプログラムの一定の電圧値とされ、これがデジタル信号プロセッサによって検証され、エラー訂正レジスタ—12及びもしくは13の内容の値がこれに応じてだけ減分される。従って、エラー訂正レジスタ—12及びもしくは13に於ける値がD/Aコンバータ8 a、8 b及びもしくは8 c、8 dに於いて生じる電圧正の符合によって決定される。

【0025】上記ステスティングファウェアーズは繰り返し遊ばれ、前回のステスティングファウェアーズに関連して更新された。エラー訂正正定ステスティングファウェアーズもしくは13に於ける傾が加えられたステスティングファウェアーズ14の傾値がD/Aコンバータ8に入力される。次いで比較器10及び/もしくは11により、D/Aコンバータ8の出力8/a、8/b及び/もしくは8/c、8/dに於ける出力の差 $\Delta U1$ 及び/もしくは $\Delta U2$ の特性が検証される。もし、二つの出力がU1及び/もしくはU2の一方又は両方が依然としてアステラズであれば、対応する又は両方の比較器10及び/もしくは11に於ける出力10/a及び/もしくは10/bの状態でマターネースの近い一定値に維持され、

に1が加えられて変更される。

【0026】上記テストングウェアズは、 D/A コンバータ8の出力が8 a、8 b及びもしくは8 c、8 dに於ける出力電圧の差 dU 及びもしくは $dU/2$ の極性が変化するまで繰り返される。この場合、本例においては、オシレータ電圧 dU 及びもしくは $dU/2$ に於ける符号 UQ 、 $UQ-U$ 及びもしくは $U+U$ 、 $U+U$ の符号がプラスからマイナスに変化し、それによって比較器10及びもしくは11に於ける出力10 c及び/もしくは11 cの状態がマイナス信号からプラス信号へ変化する。即ち、出力が増加され、この増加がプラスの一定電圧の形で行われる。

【0027】同比較器10、11の出力10c、11cの状態に拘らず変化が生じれば、この変化が信号プロセッサによって検知される。その結果、対応するエラー訂正レジスタ1-12及び/もしくは1-3の値の補償が行われ、オフセット電圧dU1、dU2並びにdU3オフセット可及的にゼロに近づくことがわかる。これによりテストタイミングモードが終了する。変調器通常の動作を行い得る状態となる。その後、エラー訂正レジスタ1-12、1-3の値が、要求されるべき各信号サンプルに加えられる、またこれに対応してQ及びIアンパッチの出力値に加えられる、それによりdU3オフセットの補償が行われる。

【0028】信号プロセッサ704はこれに対応するデータ処理ユニットは、例えば論理ユニット16、17のような装置を含むことが好ましい。この装置16、17は、各比較器10、11の出力の電圧値、特に、連続する二つのテストステジアンジェーズの間のラスティングモードに於けるこの電圧変動の変化をモニタリングするものである。比較器の出力の電圧状態がプラスからマイナスへ、又はその逆に変化した時、論理ユニット16、17によって与えられる情報に基づいてテストステジアンジェーズが検出する。この例においてはエラー訂正レジスタ12、13の値が変更されずに保持される。

【0029】移動電話又はこれに対応する装置がオンになると、すぐに、上述の上記の登録でチャタリングモードが数ステッピングファーズにわたって行われ、エラー訂正レジスタ12、13の内容が例外に数回にわたってチェックされる。移動電話の通常の使用期間中に、適当な時間間隔でエラー訂正レジスタ12、13の内容を更新することが望ましい。例えば、この更新は、D/Aコンバータ8が更新されるべき実際の瞬間を処理してしない時に行われる。本実施例においては、エラー訂正レジスタ12、13の更新は数ステッピングファーズ以内、極端には一つのステッピングファーズ内において行うことが出来る。このステッピングファーズ中において、ゼロボルトに対処する制御値が、ステッピングユニット14からD/Aコンバータ8に提供される。6ビットのa、b及びcもしくはc、e、dの電圧に

於ける差dU1及び/もしくはdU2がプラスであるならば、エラー訂正レジスタ12及び/もしくは13の値から1が減じられ、もしこれがマイナスであれば1が加えられることは前述の通りである。その後、テストインクリメント10、11の出力00c、11cの出力の状態の変化については特に注意が払われる。

【0030】同じ手取が図1に示されるDCオフセットの補償及び変調器に関連して実行される。DCオフセットの変化の割合が小さいので、各時間間隔中においてデスティングフェーズを一回行うだけでよい。

【0031】 移動電話又はこれに対応する装置の通常の使用に關してテストインジェクションが実行される事に際し、D/AコンバータのD/Cオフセットを補正する為の装置に、図2に示される装置15を含むことが望ましい。この装置15は、時々発生する故障の検出及びもしくはフリータイムスロットの検出を行って、テストインジェクションの期間中にエラー訂正レジスタ12、13の内容を更新する事を可能にするものである。装置14は、既存の構成を用いてプログラムと一体に実現する事が出来る。

【0032】データ処理ユニットは、変調器に供給されたデジタル信号を処理する機能と、テストングモード特にデジタル信号をモニタする機能と、1例又はそれはそれ以上の比較器の処理を統合する機能と、1例又はそれはそれ以上のエラー訂正システムの内容の値をセットする機能とを持っている。図に述べたように、このデータ処理ユニットは、例えば、デジタル信号プロセス又は論理回路、あるいはその組み合わせによって、マイクロコンピュータの装置として実現する事が出来る。

【0033】以上の説明から、当業者に於いては本発明の範囲を逸脱する事なく様々な変形が成し得る事は明かである。特に、本発明は、DCオフセットの補償を必要とする如何なるタイプの回路や用途にも適用可能である。

【0034】本発明の従前は、明細書に明瞭に記載された発明が又は単に示唆されているのみか、また、請求の範囲に述べられている発明と関連するに否か、又は当初の明細を解決するものであるか否かに依らず、明細書内に表示された新規な特徴とこれら新規な特徴の組合わせを包含ものである。本出願の係属中にこれらの特徴について新たなクレームを提出して提出するが、又はそのようなクレームを基にして本願から派生する他の出願を行う可能性があるとこのことを付記する。

【図面の簡単な説明】

【図1】D/Aコンバータに於けるDCオフセットを補償する本発明に係る回路構成を示したブロック図である。

入とゼロの所定信号を前記電子装置 (2: 8) に入力するように適合されている請求項 11乃至 14 のいずれか一項に記述の装置。

【請求項 16】 前記差出力手段が、前記差分信号のそれぞれの信号間の差を算出するように適合されている請求項 14 又は 15 に記述の装置。

【請求項 17】 前記差出力手段 (5: 12, 13) 内に格納された値が、前記特性がマイナスイメージである場合には増分され、前記特性がプラスである場合には減分される請求項 13乃至 16 のいずれか一項に記述の装置。

【請求項 18】 前記差分が負の値を通過する状態が、前記差分の極性の変化によって示される請求項 13乃至 17 のいずれか一項に記述の装置。

【請求項 19】 前記入力手段 (4: 7) は、前記電子装置 (2: 8) が動作していないときに所定の信号を前記電子装置に入力する請求項 11乃至 18 のいずれか一項に記述の装置。

【請求項 20】 前記電子手段 (5: 12, 13) に格納される値が更新されるとき、フリクタイムスロット又は前記電子装置 (2: 8) の非動作を検出する為の装置 (15) を更に具備する請求項 19 に記述の装置。

【手続補正 2】

【補正対象事項】 明細書

【補正対象項目】 0005

【補正方法】 変更

【補正内容】

【0005】

【課題を解決するための手段】 本発明の第 1 の形態によれば、電子装置 (2: 8) に於ける信号のオフセットに対して補償を行う方法において、所定の信号を電子装置 (2: 8) に入力する段階と、上記電子装置 (2: 8) からの、各々が上記所定の信号に於ける電圧的出力と実際の出力との差分を示すエラー信号を導き出す段階と、このエラー信号に応じて、記憶手段 (5: 12, 13) に格納された補償値を変更する段階と、その補償値を上記電子装置 (2: 8) に対する次の信号入力に加工する段階とを備えた方法が提供される。また、本発明の第 2 の形態によれば、電子装置 (2: 8) に於ける信号のオフセットに対して補償を行う為の装置において、上記電子装置 (2: 8) に所定の信号を入力する為の入力手段 (1: 7) と、上記電子装置 (2: 8) からの、各々が上記所定の信号に於ける電圧的出力と実際の出力との差分を示すエラー信号を検出する検出手段 (4: 10, 11) と、このエラー信号に応じて記憶手段 (5: 12, 13) に記憶された補償値を変更する変更手段と、その補償値を上記電子装置 (2: 8) に対する次の信号入力に加工する為の加工手段とを具備する装置が提供される。

【手続補正 3】

【補正対象事項】 明細書

【補正対象項目】 0011

【補正方法】 変更

【補正内容】

【0011】 図 1 に示す回路構成において、例えば 8 ビットワードのシリアル信号であるデジタル信号が、入力 1a から処理ユニット 11 に入力される。処理ユニット 11 において 1 個又はそれ以上の数の変換信号が、適用される変換方法に応じて得られ、これらの変換信号がゲートパス 1b を経由してパラレルに D/A コンバータに入力される。D/A コンバータ 2 の差出力 2a, 2b から得られるアナログ信号 A+, A- は R/F 変換器 3 に入力される。上記アナログ信号 A+, A- とローカル発振器信号 LQ とが R/F 変換器 3 の中で組み合わされて高周波信号 RF が形成され、これが無線経路に送り出される。

【手続補正 4】

【補正対象事項】 明細書

【補正対象項目】 0018

【補正方法】 変更

【補正内容】

【0018】 DC オフセットの変化の割合は、テストモードの繰り返り周期及びエラー訂正レジスタ 5 の更新の周期に比べて十分に低い。従ってテストインジケータをこれよりも短い周期で行ってやる必要はない。

【手続補正 5】

【補正対象事項】 明細書

【補正対象項目】 0021

【補正方法】 変更

【補正内容】

【0021】 D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d においては、既に述べたように、主に温度変化に起因する電圧ドリフトによって DC オフセットが生じる。装置は、D/A コンバータの DC オフセットを補償するために、D/A コンバータ 8 に関連して設けられた差出力 8a, 8b 及び 8c, 8d、並びにこれに関連して設けられた二つの比較器 10, 11 を有しており、これらの比較器の入力 10a, 10b 及び 11a, 11b が出力 8a, 8b 及び 8c, 8d にそれぞれ接続されている。装置はさらに信号プロセッサ 7 を含んでおり、これに比較器 10 及び 11 のそれぞれの出力 10c 及び 11c が接続されており、さらに、二つのエラー訂正レジスタ 12, 13 とテストインジケータ 14 とを含んでいる。エラー訂正レジスタ 12, 13 及びテストインジケータ 14 は処理ユニット 11 に関連づけられて設けられている。

【手続補正 6】

【補正対象事項】 明細書

【補正対象項目】 0024

【補正方法】 変更

【補正内容】

【0024】 D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d に於ける出力の電圧差 dU1 及び dU2 がマイナスイメージであるとき、比較器 10 及び 11 に於ける出力 10c 及び 11c は 1 が増加される。即ち、この出力がプロセス 7 によって圧縮され、これがデジタル信号プロセッサ 7 によって校正され、エラー訂正レジスタ 12 及び 13 は 1 の値の値がこれに応じて 1 だけ減分される。従って、各エラー訂正レジスタ 12 及び 13 は 13 に於ける値が DC オフセットにより、特に D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d に於いて生じる差の符号によって決定される。

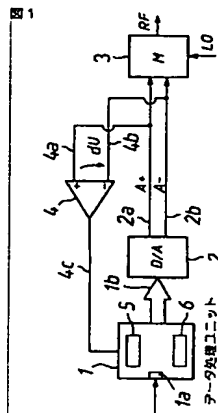
【手続補正 7】

【補正対象事項】 明細書

【補正対象項目】 0031

【補正方法】 変更

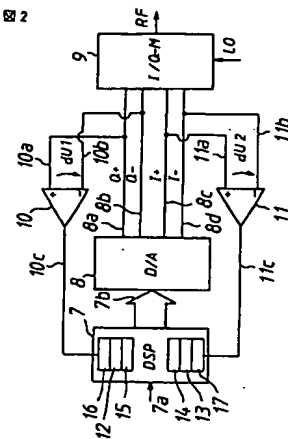
【補正内容】



【手続補正 9】

【補正対象事項】 図面

【補正対象項目】 図 2



【0031】 移動電話又はこれに対応する装置の通常の使用に際してテストモードが実行される中に、D/A コンバータの DC オフセットを補償する為の装置に、図 2 に示される装置 15 を含むことが望ましい。この装置 15 は、時分复用バーストの検出及び/もしくはフリクタイムスロットの検出を行って、テストモードの期間中にエラー訂正レジスタ 12, 13 の内容を更新する事を可能にするものである。装置 15 は、デジタル信号プロセッサ 7 に関連して設ける事が出来、既存の構成を用いてプログラムと一体に実現する事が出来る。

【手続補正 8】

【補正対象事項】 図面

【補正対象項目】 図 1

【補正方法】 変更

【補正内容】

【図 11】